

АВТОМАТИЗАЦІЯ ТА ІНТЕЛЕКТУАЛІЗАЦІЯ ПРИЛАДОБУДУВАННЯ

УДК 004.087.2

ШЛЯХИ ВДОСКОНАЛЕННЯ ДІАГНОСТИЧНИХ ТЕСТІВ ЕНЕРГОНЕЗАЛЕЖНОЇ ПАМ'ЯТІ НА ПРИКЛАДІ DETAILED MARGINAL READ ТЕСТУ

Павловський О. М., Котельнікова О. С.

Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського», Київ, Україна

E-mail: sashkakotel@gmail.com

Енергонезалежна пам'ять, яка є невід'ємною частиною будь-яких комп'ютеризованих систем, за своїм призначенням має безвідмовно працювати протягом експлуатаційного терміну у різних умовах довколишнього середовища. Для дослідження процесів старіння пам'яті і прогнозування втрати даних існує низка експериментальних дослідів, таких як кліматичні, температурні, збурюючі і т.д. Після обробки отриманих даних, приймається рішення про терміни використання модулів пам'яті, ступінь зносу, наявність та корекцію помилок у необхідний часовий проміжок. У статті наведено аналіз проблеми оцінки стану енергонезалежної пам'яті на прикладі Detailed Marginal Read (DMR) тесту. Приведено опис алгоритму DMR, проаналізовано залежність розподілення помилок за рівнями вичитування та виділено недоліки зазначеного алгоритму. Показана можливість та підтверджена ефективність вдосконалення алгоритму DMR за рахунок використання класичних алгоритмів пошуку.

Ключові слова: енергонезалежна пам'ять, Detailed Marginal Read тест, оцінка стану пам'яті.

Вступ

Використання інтегральних мікросхем різного функціоналу є життєвою необхідністю для сучасної автомобільної промисловості [1]. Зважаючи на рівні стандартів, що висуваються до транспортного засобу в цілому, очікуваним є й те, що окремі підсистеми мають пройти низку випробовувань [2]. Одними із найбільш відповідальних модулів комп'ютерної автомобільної системи, окрім безпосередньо процесора, є модуль пам'яті. Він може бути представлений як дискретною мікросхемою, так і інтегрованим в будову, наприклад мікроконтролера. Для забезпечення жорстких вимог по збереженню пам'яті на всьому життєвому циклі експлуатації інтегральної схеми існує затверджений список тестів [3]. Тестування пам'яті може бути проведено як за допомогою безпосередніх вимірювань, так і візуальним контролем за допомогою мікроскопа [4], проте останній метод менш ефективний при наявності великих партій.

Як правило, дані тести виконують для оцінки стану запам'ятовуючого пристрою після проходження ним певних експериментальних випробовувань. Такі випробування моделюють природне старіння мікросхеми в лабораторних умовах, серед них наступні [5]:

1. Витримка в термокамері від 12 до 1000 годин, що є еквівалентом їхнього використання протягом декількох років звичайної експлуатації;

2. Циклічний перезапис одного слова, що викликає збурення сусідніх комірок та спотворює сусідні комірки даних надаючи їм додаткового заряду запису або стирання;
3. Вимірювання аналогових значень та логічне вичитування вмісту комірок пам'яті при граничних значеннях температури довколишнього середовища (-40..175°C).

Після проведення зазначених експериментів, проводиться оцінка стану кожної комірки пам'яті. Одним з найбільш інформативних неструктурних методів оцінки стану пам'яті є Detailed Marginal Read (DMR) тест, завдяки прямому вичитуванню значення кожної комірки при різних порогових значеннях опорної напруги V_{ref} , яку можна задавати в процесі проведення експерименту. Проте, за рахунок постійної зміни опорної напруги і послідовною вчиткою даних, отримані результати можуть містити неінформативні значення, що впливає на час проведення всього циклу випробувань.

Таким чином метою статті є аналіз алгоритму DMR тесту для мікросхем енергонезалежної пам'яті, та його оптимізація за рахунок виявлення можливості виключення неінформативних ітерацій.

Принцип вичитування даних з комірок пам'яті

Більшість мікросхем енергонезалежної пам'яті будується на основі транзисторів із плаваючим за-

твором, які об'єднуються в ланцюг та під'єднуються до компаратора. При проведенні операції зчитування або запису, через транзистор протікає струм, що порівнюється на компараторі із опорним значенням, а отже отримується інформація про записаний чи стертий стан комірки [6].

Величина V_{ref} - є програмованою опорною напругою для визначення чи є комірка запрограмованою або стертою. При початковому читанні, одразу після запису, рівень стертих комірок буде близьким до нуля, а записаних – до рівня логічної одиниці (зазвичай 5 В, 3.3 В або 1.8 В). Оскільки пам'ять не є досконалою, заряд на затворах може поступово зменшуватись, а отже це може призвести до зменшення напруги на компараторі, і як наслідок, до втрати або спотворення інформації.

Аналіз алгоритму DMR тесту, недоліки та шляхи вдосконалення

Для достовірної оцінки стану всіх комірок пам'яті, одним з найбільш інформативних тестів є DMR тест. Для його виконання немає необхідності у фізичній деструкції приладу або його корпусу, а потрібні додаткові структури для його проведення, в більшості випадків реалізовані на етапі виготовлення мікросхеми. DMR тест виконується за наступним алгоритмом [1]:

1. Усі комірки пам'яті програмуються заздалегідь відомими даними. Найчастіше – це є «шахова» послідовність із високих та низьких логічних рівнів. Ці дані є еталонними для подальшого порівняння.
2. Опорна напруга V_{ref} встановлюється у «нормальний» режим. Найчастіше – половина від напруги логічної одиниці, або напруги живлення.
3. Виконується логічне читання при заданій опорній напрузі. Отримані дані повинні співпадати із заданими, що є підтвердженням справності всіх комірок пам'яті.
4. Опорна напруга V_{ref} встановлюється в мінімальне значення (близьке до значення логічного нуля), проводиться зчитування даних із всього блоку пам'яті та порівняння із еталонним шаблоном.
5. Опорна напруга V_{ref} збільшується на фіксований крок і п. 4 повторюється, поки V_{ref} не досягне максимального значення (значення логічної одиниці або напруги живлення мікросхеми).

Після порівняння початкових значень із значеннями, отриманими при вчитці на кожній ітерації, можливо визначити кількість комірок, які були вчитані із помилковим значенням. Тобто, за результатами буде визначено граничні рівні усіх окремих елементів та сегментів блоку пам'яті, що надасть змогу оцінити її працездатність в цілому. В реальних умовах, з плином часу, за рахунок втрати заряду на запам'ятовуючих транзисторах, буде змінюватись не опорна напруга V_{ref} , а саме напруга на транзисторі, що може призвести до втрати та спотворення даних, а отже, DMR тест показує ефектив-

ність збереження інформації протягом визначеного терміну.

Для більшої ефективності, даний тест використовується разом із низкою експериментів, таких як: кліматичні, електричні, стресостійкості. Наприклад у компонуванні із експериментом із взаємним збуренням заряду в плаваючому затворі при записі сусідніх комірок. Протягом нього відбувається циклічний перезапис одного слова (розрядність слова варіюється залежно від архітектури). Проте, через архітектуру блоку пам'яті усі слова, що знаходяться на одній шині вибору біта даних або вибору адреси запису отримують додатковий «записуючий» або «стираючий» заряди, що можуть спотворити дані в сусідніх комірках [6].

Знання рівнів комірок по закінченню експерименту дає змогу прогнозувати працездатність пам'яті при постійному перезаписі в кінцевому приладі.

На рис. 1 наведено результат виконання DMR тесту при проведенні збурюючого експерименту. Наведено результати для тестованого пристрою EEPROM під ідентифікаційним номером №601, досліджуваній об'єм 3 Кб, та кількості ітерацій збурюючого експерименту – 0, 1000, 10000 циклів.

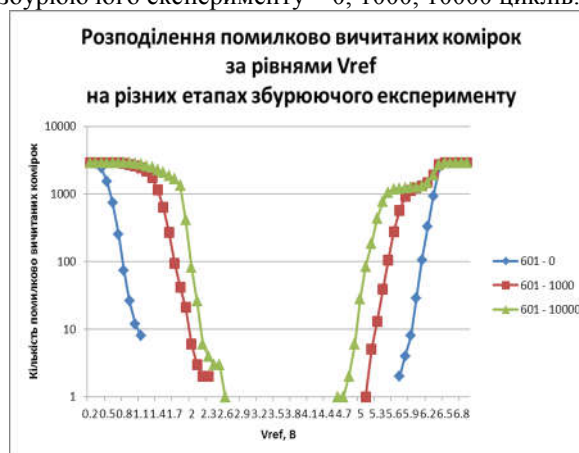


Рис. 1. Розподілення помилково вчитаних даних за рівнями опорної напруги при експерименті зі збудження при циклічному перезаписі одного слова

Експеримент проводиться на вимірювальній установці фірми National Instruments, а саме PCI eXtensions for Instrumentation (PXI) - модульна платформа, призначена для побудови багатофункціональних контрольно-вимірювальних систем, випробувального устаткування для тестування електроніки, систем автоматизації, модульних лабораторних приладів [7]. Для фізичного підключення вимірювальної платформи до досліджуваної мікросхеми створено друковану плату, що напряму з'єднує контакти мікросхеми та вимірюючих модулів [8].

Для оцінки параметрів пам'яті та подальшої оптимізації алгоритму тестування було створено спеціальне технологічне програмне забезпечення у середовищі графічного програмування LabVIEW

National Instruments, за рахунок високої сумісності із платформою PXI. Загальний вигляд лабораторної установки та розробленої плати представлені на рис. 2, а, та рис. 2, б відповідно.

Результати експерименту (рис. 1) наведено у форматі розподілення помилково вчитаних комірок пам'яті на різних встановлених рівнях V_{ref} . На лівому (0 В) та правому (6,2-6,8 В) крайніх значеннях вісі абсцис спостерігається насичення. Оскільки занадто низький рівень опорної напруги, після порівняння на компараторі, буде давати логічну одиницю, а занадто високий – логічний нуль, що є помил-

ковими вчитками. Проте, граничні рівні V_{ref} не є інформативними, оскільки будуть присутні при тестуванні будь-якої пам'яті, а фізично відповідають повністю непрацездатній комірці.

У середині діапазону зміни V_{ref} навпаки – відсутні помилки через наближення V_{ref} до значення половини напруги живлення, а отже рівновіддаленої від напруг рівнів логічного 0 та 1, що майже виключає можливість хибного зчитування значення комірки. Залежно від кількості ітерацій збудовуючого експерименту, зона зміни V_{ref} , за якої зчитування комірок відбувається безпомилково, різна.



а)



б)

Рис. 2. Тестова установка для проведення дослідження пам'яті: а) загальний вигляд; б) розроблена плата-адаптер

Для однократного запису (лінія - - 0) вона становить від 1,2 В до 5,6 В. Після 1000 (лінія -■-) ітерацій збудовуючого експерименту - від 2,4 В до 5 В, та для 10000 ітерацій - від 2,7 В до 4,5 В. Отже, якщо відомі діапазони зміни V_{ref} для безпомилково вчитаних комірок, то декілька циклів зміни опорної напруги будуть давати ідентичні результати, а отже лінійна зміна кроку V_{ref} є недоцільною, що призведе до марного витрачання тестового часу, проте проблема полягає у тому, що при різній кількості циклів проведення збудовуючого експерименту, у різних модулях пам'яті та при різних напругах живлення, ці діапазони суттєво відрізняються.

Для вдосконалення алгоритму DMR тесту за рахунок скорочення часу тестування, запропоновано замінити лінійну зміну кроку опорної напруги V_{ref} , на алгоритм із змінним кроком. За основу було взято класичний метод бінарного пошуку, який умовно розділяє весь діапазон вимірювань на інформативні та неінформативні області. Неінформативними областями вважаються області значень V_{ref} , при яких вчитування відбувається або безпомилково, або із максимальною кількістю

хибних значень. В результаті отримуємо чітко виокремлені області інформативних значень, наприклад для проведеного експерименту для 10000 ітерацій збудовуючого експерименту, запропонований алгоритм виділив інформативні області зміни V_{ref} від 0,6 В до 2,7 В та від 4,5 В до 6,6 В, що відповідає дійсності.

Таким чином, використання модифікованого алгоритму DMR тесту дозволило зменшити кількість ітерацій приблизно на 28% порівняно із лінійною зміною опорної напруги, а з урахуванням того, що середній час проведення експериментальних досліджень може коливатись від 6 до 8 год, то, такий підхід може зменшити час циклу випробувань на 1,5 – 2 год.

У подальшому планується модифікувати DMR тест за рахунок використання більш складних пошукових алгоритмів для визначення оптимального кроку опорної напруги, а при необхідності, формування статистичних даних для різних типів експериментів.

Висновки

Під час аналізу проблеми оцінки стану енер-

гонезалежної пам'яті виявлено, що не зважаючи на те, що DMR тест, який є загально використовуваним засобом для тестування пам'яті, прогнозування терміну та якості її роботи в кінцевому продукті, має недоліки. Для оцінки стану кожної комірки пам'яті використовується алгоритм з постійним кроком зміни опорної напруги, таким чином, частина результатів роботи тесту заздалегідь буде неінформативною. Показано можливість прискорення виконання DMR тесту внаслідок динамічної зміни кроку і виділення інформативних ділянок опорної напруги на основі бінарного пошуку. Такий підхід дозволив зменшити кількість ітерацій на 28 %, що відповідає зменшенню часу всього циклу експериментів на 1,5 – 2 години. Це призведе до збільшення кількості об'єму пам'яті, тестується, на одиницю часу, або при збереженні загального часу досліджень, дасть змогу провести більш глибокий аналіз стану пам'яті.

Література

1. Denton T. AUTOMOBILE ELECTRICAL AND ELECTRONIC SYSTEMS / Tom Denton. – Burlington: Butterworth-Heinemann publications, 2004. – 463 с. – (Third edition).
2. ISO 26262-10:2012. Road vehicles - Functional safety // International Organization for Standardization. 2012. URL: <https://www.iso.org/standard/54591.html>.
3. Yoshio Noshi. Advances in Non-volatile Memory and Storage Technology – Oxford: Woodhead publishing, 2014. 513 с. (Woodhead publishing series in electronic and optical materials; вип. 64).
4. Прогнозування терміну надійної експлуатації інтегральних мікросхем радіотехнічних пристроїв / [В. О. Андрієнко, В. В. Іваненко, А. В. Гончаров та ін.]. // Вісник НТУУ “КПІ”. Серія приладобудування. 2014. №48. С. 125–130.
5. Venkat K., Haensel U. Understanding MSP430 Flash Data Retention // Texas Instruments - SLAA392. 2008. URL: <http://www.ti.com/lit/an/slaa392/slaa392.pdf>.
6. Tann H. Non-Volatile Memory: A review of past and present concepts and applications URL: <https://pdfs.semanticscholar.org/Off1/ed4b94c7f04305a01c0b5a54fb5bdc960ce.pdf>.
7. PXI Express Руководство по эксплуатации NI PXIe-1075. URL: ftp://ftp.ni.com/pub/branches/russia/pxi/ni_pxie_1075.pdf.
8. Котельнікова О. С., Павловський О. М. Розробка апаратно-програмного комплексу для оцінки тесту стану енергонезалежної пам'яті // XI Конференція молодих вчених «Електроніка-2018». – 2018.

УДК 004.087.2

А. М. Павловский, А. С. Котельникова

Национальный технический университет Украины «Киевский политехнический институт имени Игоря Сикорского», Киев, Украина

ПУТИ УСОВЕРШЕНСТВОВАНИЯ ДИАГНОСТИЧЕСКИХ ТЕСТОВ ЭНЕРГОНЕЗАВИСИМОЙ ПАМЯТИ НА ПРИМЕРЕ DETAILED MARGINAL READ ТЕСТА

Энергонезависимая память, которая является неотъемлемой частью любых компьютеризированных систем, по своему назначению должна безотказно работать в течение эксплуатационного срока в различных условиях окружающей среды. Для исследования процессов старения памяти и прогнозирования потери данных существует ряд экспериментальных опытов, таких как климатические, температурные, возмущающие и т.д. После обработки полученных данных, принимается решение о сроках использования модулей памяти, степени износа, наличии и коррекции ошибок в необходимое время. В статье представлен анализ проблемы оценки состояния энергонезависимой памяти на примере Detailed Marginal Read (DMR) теста. Приведено описание алгоритма DMR, проанализирована зависимость распределения ошибок по уровням вычитки и выделены недостатки указанного алгоритма. Показана возможность и подтверждена эффективность улучшения алгоритма DMR за счет использования классических алгоритмов поиска.

Ключевые слова: энергонезависимая память, Detailed Marginal Read тест, оценка состояния памяти.

O. Pavlovskiy, O. Kotelnikova

National Technical University of Ukraine «Igor Sikorsky Kyiv Polytechnic Institute», Kyiv, Ukraine

WAYS OF IMPROVEMENT OF NON-VOLATILE MEMORY DIAGNOSTIC TESTS BASED ON EXAMPLE OF DETAILED MARGINAL READ TEST

A non-volatile memory has become the inalienable part of any computerized or automatized system and the correctness of the system work should be guaranteed during the whole lifetime over any environmental conditions. To foresee these processes there is a list of experimental researches, including climate and temperature emulations, postexperimental data analysis. Considering the results it is possible to make the assumptions on lifetime, deteriora-

tion, error presence and its' correction. This article depicts the analysis on problem of non-volatile memory evaluation tests, key experimental conditions examples of use and corresponding results. Detailed Marginal Read(DMR) readout algorithm is described, the error distribution over reference voltages graph is built and highlighted the drawbacks of this research. It is found that despite the fact that DMR is a memory evaluation common test for lifetime prognostication and end product in an application quality assurance, it has a limitation. Also the experimental data is given with the proposals on a new algorithm of the test execution. Currently determination of the state of each memory cell the constant reference voltage step algorithm is used, so partially the results are noninformative. Based on the previously implemented experimental setup, used for the test reproduction and evaluation, gained the initial results and improvement assumptions are made. The DMR improvement possibility based on a binary lookup algorithm and informative area determination is depicted. Such an approach allows to shorten the iteration number for up to 28% which corresponds to 1.5 - 2 hours. This should lead to a tested memory volume per hour increase or would give an opportunity to perform a deeper memory state analysis in a saved amount of time.

Key words: non-volatile memory, Detailed Marginal Read test, memory evaluation.

Надійшла до редакції
12 квітня 2018 року

Рецензовано
29 квітня 2018 року

УДК 004.925.8:519.876.5

ИМИТАЦИОННОЕ МОДЕЛИРОВАНИЕ ЭЛЕМЕНТА ОБШИВКИ САМОЛЁТА ПРИ МНОГООЧАГОВОМ ПОВРЕЖДЕНИИ

Цыбульник С. А., Охота Б. А.

Национальный технический университет Украины «Киевский политехнический институт имени Игоря Сикорского», Киев, Украина

E-mail: tsybulnik.s.a@gmail.com

Ошибки в проекте, неправильное обслуживание, усталость элементов конструкции и прочие факторы приводят к разрушению элементов обшивки самолёта в полете, что влечет за собой значительные материальные убытки и жертвы среди людей. Анализ большого количества аварий показал, что основные причины катастроф это: ошибки пилотов, террористы, усталость материалов конструкции и (реже) разрушение крепежных элементов. Имитационное моделирование в основном сосредоточено на столкновениях самолёта с крупным объектом (например, землей или другим самолётом). Поэтому целью данной работы является исследование напряженно-деформированного состояния элемента обшивки самолёта при наличии дефектов крепления. В данной работе с помощью программного обеспечения SolidWorks была построена трёхмерная модель элемента обшивки самолёта с заклёпками. Для определения векторных полей скорости воздушного потока и его давления в программном комплексе ANSYS проведено имитационное моделирование ветровой нагрузки на элемент конструкции с использованием его построенной геометрической модели. Анализ полученных результатов позволил определить напряженно-деформированное состояние элемента обшивки самолёта.

Ключевые слова: имитационное моделирование, ANSYS, заклепочное соединение, многоочаговое повреждение.

Введение

В настоящее время развитие авиатехники достигло значительных результатов, почти каждый человек использовал данный вид транспорта, ведь это быстро и достаточно комфортно. Каждый день по всему миру осуществляются тысячи полетов, и каждый из этих полетов по-своему опасен. Ведь не раз в истории [1] были случаи, когда перед вылетом самолет был полностью исправен, а при полете обнаруживались некоторые неисправности,

которые, в лучшем случае, приводили к экстренной посадке самолёта, а в худшем – к сотням жертв или пострадавших.

Перед вылетом самолёты проходят ряд проверок [2], после чего решается, сможет ли самолёт выйти на рейс. Включая человеческий фактор, можно сделать вывод, что визуально некоторые повреждения сложно обнаружить, поэтому в полете под действием внешних и внутренних, по отношению к самолёту, нагрузок эти повреждения